

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-110898

(43)Date of publication of application : 12.04.2002

(51)Int.Cl. H01L 25/065  
 H01L 25/07  
 H01L 25/18  
 H01L 21/60

(21)Application number : 2000-296328

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 28.09.2000

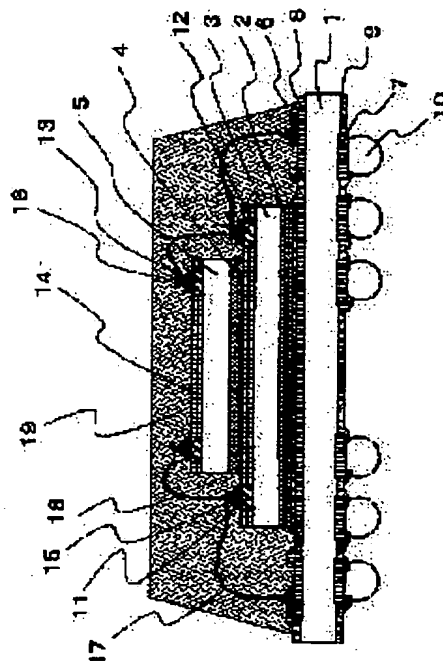
(72)Inventor : KOMIYAMA MITSURU  
SUZUKI SHINSUKE

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which can suppress contacting between adjacent conductive wires and has laminated semiconductor elements.

SOLUTION: The semiconductor device includes a substrate which has a wiring pattern formed on the top surface, a 1st semiconductor element which is mounted on the substrate and has a 1st electrode pad, a 2nd semiconductor element which is mounted on the 1st semiconductor element and has a 2nd electrode pad, a 1st wire which connects a 1st area of the 1st electrode pad and the 2nd electrode pad, and a 2nd wire which connects a 2nd area except the 1st area of the 1st electrode pad to the wiring pattern in the 2nd area.



## LEGAL STATUS

[Date of request for examination] 28.08.2001

[Date of sending the examiner's decision of rejection] 17.06.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2003-12883

[Date of requesting appeal against examiner's] 08.07.2003

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2002-110898

(P2002-110898A)

(43) 公開日 平成14年4月12日 (2002.4.12)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 L 25/065		H 0 1 L 21/60	3 0 1 D 5 F 0 4 4
25/07			3 0 1 A
25/18			3 0 1 N
21/60	3 0 1	25/08	Z

審査請求 有 請求項の数13 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願2000-296328 (P2000-296328)

(22) 出願日 平成12年9月28日 (2000.9.28)

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 小宮山 充

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72) 発明者 鈴木 臣介

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(74) 代理人 100089093

弁理士 大西 健治

Fターム(参考) 5F044 AA02 AA12 AA18 CC05 EE01

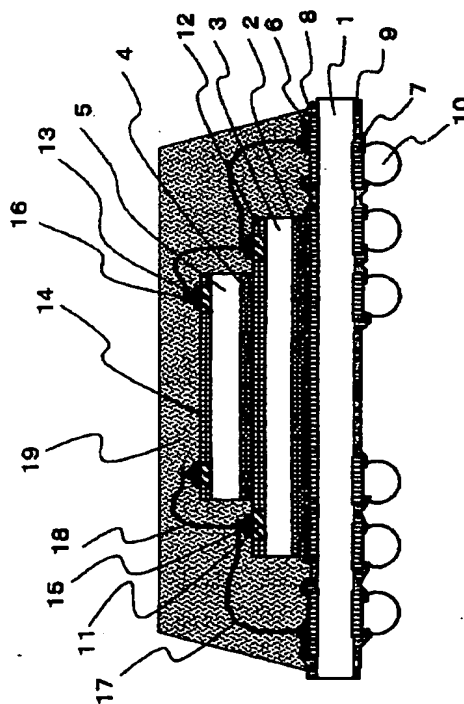
EE11

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 本発明では、隣り合う導電ワイヤの接触を抑制することのできる、積層された半導体素子を有する半導体装置を提供することを目的とする。

【構成】 本発明の半導体装置は、表面に配線パターンが形成された基板と、基板上に搭載された、第1の電極パッドを備えた第1の半導体素子と、第1の半導体素子上に搭載された、第2の電極パッドを備えた第2の半導体素子と、第1の電極パッドの第1の領域と第2の電極パッドとを接続する第1のワイヤと、第1の電極パッドの第1の領域を除く第2の領域と配線パターンとを接続する第2のワイヤと、を含む。



## 【特許請求の範囲】

【請求項1】 表面に配線パターンが形成された基板と、  
前記基板上に搭載された、第1の電極パッドを備えた第1の半導体素子と、  
前記第1の半導体素子上に搭載された、第2の電極パッドを備えた第2の半導体素子と、  
前記第1の電極パッドの第1の領域と前記第2の電極パッドとを接続する第1のワイヤと、  
前記第1の電極パッドの前記第1の領域を除く第2の領域と前記配線パターンとを接続する第2のワイヤと、  
を含むことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、さらに前記基板の裏面に形成された外部端子を含み、前記配線パターンと前記外部端子とは前記基板に設けられた、前記基板の前記表面と前記裏面とを貫通する貫通孔を介して接続されることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、前記第1のワイヤはファーストボン드가前記第2の電極パッドに接続され、セカンドボン드가前記第1の電極パッドに接続され、前記セカンドボン드는前記第1の電極パッド上に形成されたバンプを介して前記第1の電極パッドに接続されることを特徴とする半導体装置。

【請求項4】 請求項1記載の半導体装置において、前記第1のワイヤはファーストボン드가前記第1の電極パッドに接続され、セカンドボン드가前記第2の電極パッドに接続され、前記セカンドボン드는前記第2の電極パッド上に形成されたバンプを介して前記第2の電極パッドに接続されることを特徴とする半導体装置。

【請求項5】 請求項1記載の半導体装置において、前記第1の電極パッドは、前記第1の半導体素子の周辺近傍に形成され、前記周辺の延在方向に長い形状を有していることを特徴とする半導体装置。

【請求項6】 請求項1記載の半導体装置において、前記第1の電極パッドは、前記第1の半導体素子の周辺近傍に形成され、前記周辺と直交する方向に長い形状を有していることを特徴とする半導体装置。

【請求項7】 請求項1記載の半導体装置において、前記第1の半導体素子は前記第2の半導体素子よりも大きい外形形状を有することを特徴とする半導体装置。

【請求項8】 第1の電極パッドを有する第1の半導体素子と、  
前記第1の半導体素子上に搭載された、第2の電極パッドを有する第2の半導体素子と、  
内部電極と、  
前記第1の電極パッドと前記第2の電極パッドとを接続する第1のワイヤと、  
前記内部電極と前記第1の電極パッドとを接続する第2のワイヤと、を備え、  
前記第1のワイヤと前記第2のワイヤとは前記第1の電

極パッド上で重ならないように配置されることを特徴とする半導体装置。

【請求項9】 請求項8記載の半導体装置において、前記第1のワイヤと前記第2のワイヤとは、前記第1の電極パッド上で互いに離間してそれぞれ前記第1の電極パッドに接続されていることを特徴とする半導体装置。

【請求項10】 第1の電極パッドを有する第1の半導体素子と、  
前記第1の半導体素子上に搭載された、前記第1の電極パッドと接続された第2の電極パッドを有する第2の半導体素子と、  
前記第1の電極パッドにおける前記第2の電極パッドと接続された領域とは異なる領域で前記第1の電極パッドと接続される内部電極と、  
を含むことを特徴とする半導体装置。

【請求項11】 第1の電極パッドを有する第1の半導体素子と、  
前記第1の半導体素子上に搭載された、第2の電極パッドを有する第2の半導体素子と、  
内部電極と、  
前記第1の電極パッド上に形成された第1のバンプと、  
前記第2の電極パッド上に形成された第2のバンプと、  
前記内部電極でファーストボン드가行われ、セカンドボン드가前記第1のバンプ上で行われた第1のワイヤと、  
前記第1のワイヤのセカンドボン上でファーストボン드가行われ、セカンドボン드가前記第2のバンプ上で行われた第2のワイヤとを含むことを特徴とする半導体装置。

【請求項12】 請求項11記載の半導体装置において、さらに基板を有し、前記内部電極は前記基板上に形成され、前記第1の半導体素子は前記基板上に搭載されていることを特徴とする半導体装置。

【請求項13】 請求項12記載の半導体装置において、前記基板の前記内部電極が形成された面と反対側の面に外部電極が形成され、前記外部電極と前記内部電極とは前記基板に形成された貫通孔を介して互いに接続されていることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、複数の半導体素子が積層して用いられる半導体装置に関する。

## 【0002】

【従来の技術】従来、マルチチップパッケージと呼ばれる、1つのパッケージ内に複数の半導体素子が封止される技術があり、その形態として、例えば、絶縁基板上に複数の半導体素子を積層して搭載したスタック型マルチチップパッケージがある。

【0003】このような半導体装置では、積層された個々の半導体素子の電極パッドと、絶縁基板上の内部電極とがそれぞれワイヤにより接続されている。複数の半導

体素子、内部電極、ワイヤは封止樹脂で封止されている。

#### 【0004】

【発明が解決しようとする課題】しかしながら、従来のスタック型マルチチップパッケージにおいては、上段の半導体素子と内部電極とが第1の導電ワイヤで接続され、また、下段の半導体装置と内部電極とが第2の導電ワイヤでそれぞれ接続されているため第1の導電ワイヤが第2の導電ワイヤよりも長くなる。

【0005】このため、樹脂を注入する際の圧力により、長い側の第1の導電ワイヤが流され、隣り合うワイヤと短絡してしまうという問題点があった。

【0006】本発明では、隣り合う導電ワイヤの接触を抑制することのできる、積層された半導体素子を有する半導体装置を提供することを目的とする。

#### 【0007】

【課題を解決するための手段】本願発明のうち代表的な半導体装置では、上記課題を解決するために、表面に配線パターンが形成された基板と、基板上に搭載された、第1の電極パッドを備えた第1の半導体素子と、第1の半導体素子上に搭載された、第2の電極パッドを備えた第2の半導体素子と、第1の電極パッドの第1の領域と第2の電極パッドとを接続する第1のワイヤと、第1の電極パッドの第1の領域を除く第2の領域と配線パターンとを接続する第2のワイヤと、を含む。

#### 【0008】

【発明の実施の形態】図1および図2は本発明の第1の実施形態の断面図である。

【0009】絶縁基板1上には接着剤2により下段の半導体素子3が固定されており、下段の半導体素子3上には接着剤4により上段の半導体素子5が固定されている。半導体素子3は、あらかじめ裏面に絶縁性の接着シートが貼り付けられた半導体素子3を熱圧着にて絶縁基板1の表面にダイスボンディングすることにより絶縁基板1上に固定することができる。半導体素子3の裏面への接着シートの貼り付けは、ウエハ状態で行われ、接着シートの貼り付けられたウエハを個々の半導体素子に分割することで、裏面に接着シートの貼り付けられた半導体素子を得られる。なお、半導体素子5を下段の半導体素子3上に固定する場合も同様の手法を用いることが可能である。

【0010】絶縁基板1の表面には内部電極としての導電パターン6が、裏面には導電パターン7がそれぞれ形成されている。導電パターン6は絶縁基板1の表面を、半導体素子3が搭載される領域まで引き回されている。導電パターン6と導電パターン7とは、絶縁基板1内に形成された図示しないスルーホールを介して互いに接続されている。スルーホール内には例えば金などの導電材料がメッキ等により形成されており、この導電材料により導電パターン6と導電パターン7とは電氣的に接続さ

れている。

【0011】導電パターン6を絶縁基板1の表面に引き回し、その一端を導電材料に接続することにより、絶縁基板1の裏面の中央部分に配置される導電パターン7と電氣的に接続することが可能となる。絶縁基板1表面で導電パターン6を引き回すことができない場合は、絶縁基板1の裏面で導電パターン7を引き回すことも可能である。

【0012】絶縁基板1上に形成されている導電パターン6および導電パターン7はそれぞれソルダレジスト8およびソルダレジスト9で覆われている。

【0013】ソルダレジスト9から露出している導電パターン7上には外部電極としての金属バンプ10が形成されている。金属バンプ10としては、例えばんだボールが用いられる。この金属バンプ10は、この半導体装置を実装基板に実装する際の電極として用いられる。

【0014】半導体素子3の表面には電極パッド11が形成されている。半導体素子3の表面は、例えばシリコン窒化膜などのパッシベーション膜12で覆われており、電極パッド11はパッシベーション膜12から露出している。図示はされていないが、通常は電極パッド11の周囲はパッシベーション膜12に覆われており、ワイヤがボンディングされる中央部分がパッシベーション膜12から露出している。

【0015】半導体素子5においても、半導体素子3と同様に電極パッド13およびパッシベーション膜14が形成されている。

【0016】半導体素子5は、半導体素子3よりも小さい外形形状を有しており、半導体素子3の電極パッド11と重ならないように半導体素子3上に固定されている。すなわち、半導体素子5の各辺は、それぞれ半導体素子3の各辺より短く、それぞれ半導体素子3の各辺よりも内側に配置される。

【0017】半導体素子3の電極パッド11上には金属バンプ15が形成されている。この金属バンプ15は、通常のワイヤボンディング技術を用い、ワイヤの先端のボール部分のみを残すことにより形成される。

【0018】半導体素子5の電極パッド13上にも同様に金属バンプ16が形成されている。

【0019】絶縁基板1上の導電パターン6と半導体素子3の電極パターン11とは、導電ワイヤ17により電氣的に接続されている。導電ワイヤ17は、ワイヤボンディングの開始点であるファーストボンディングが導電パターン6に接続するボールボンディングにより行われ、終了点であるセカンドボンディングが金属バンプ15上に接続される。

【0020】半導体素子3の電極パッド11と半導体素子5の電極パッド13とは、導電ワイヤ18により電氣的に接続されている。導電ワイヤ18は、ファーストボンディングが電極パッド11に接続するボールボンディングに

より行われ、セカンドボンドが金属バンプ16上に接続される。

【0021】導電ワイヤ17のセカンドボンドと導電ワイヤ18のファーストボンドは、電極パッド11における異なる領域において行われている。

【0022】これら半導体素子3、半導体素子5、導電ワイヤ17、導電ワイヤ18は、封止樹脂19により封止されている。

【0023】図2は図1の絶縁基板1、半導体素子3、半導体素子5のコーナ部を拡大した部分拡大図であり、半導体素子3の電極パッド11における導電ワイヤ17および導電ワイヤ18の接続がこの図2に示される。

【0024】半導体素子3の電極パッド11は、同一の電極パッド内で2箇所に導電ワイヤを接続するために、通常の電極パッドよりも大きく形成されている。電極パッド11は、本実施例では、電極パッド11は半導体素子3の辺近傍に設けられているとともに、この辺に沿って長い矩形形状を有している。電極パッド11は、半導体素子3の辺近傍に設けられるとともに、この辺と直交する方向に長い矩形形状とすることも可能である。その場合は、下段の半導体素子3と上段の半導体素子5とを接続する導電ワイヤ18が半導体素子3の辺から遠い側に、絶縁基板1と下段の半導体素子3とを接続する導電ワイヤ17が半導体素子3の辺に近い側にそれぞれ接続される。電極パッド11を辺と直交する方向に長く形成する場合は、平行な方向に長く形成する場合に比べて、上段の半導体素子5を搭載する領域が制限されるが、上段と下段の半導体素子を接続する導電ワイヤ17が、これら半導体素子の辺に対して斜め方向に形成されている場合でも、隣り合う導電ワイヤとの短絡をより効果的に抑制できる。

【0025】また、導電ワイヤ17および導電ワイヤ18を互いに離間させて電極パッド11上に接続できる程度に電極パッド11を大きく形成してもよく、その場合は、導電ワイヤを形成する角度の自由度が向上する。

【0026】本実施例では、上段の半導体素子3の電極パッド13を絶縁基板1の導電パターン6に直接接続せずに、下段の半導体素子5の電極パッド11を介して導電パターン6に電気的に接続される。このため、電極パッド13と導電パターン6とを直接接続する長い導電ワイヤを用いる必要がなくなり、隣り合う導電ワイヤ間の短絡を抑制することができる。

【0027】また、本実施例では、下段の半導体素子5の電極パッド11を大きく形成し、上段の半導体素子5と下段の半導体素子3とを接続する導電ワイヤ18と、下段の半導体素子3と絶縁基板1とを接続する導電ワイヤ17とを、同一の電極パッド11における異なる領域でそれぞれ接続している。このため、電極パッド11におけるワイヤボンディングの際のストレスを低減するこ

とができる。

【0028】電極パッド11の周囲は図示しないパッシベーション膜に覆われており、導電ワイヤ17、導電ワイヤ18がボンディングされる領域はパッシベーション膜が除去されている。本実施の形態では、矩形形状の電極パッド11上で導電ワイヤ17および導電ワイヤ18による2箇所のボンディングが行われる。このため、パッシベーション膜が除去され、導電ワイヤがボンディングされる領域が電極パッド11と略同一の矩形形状となる。しかしながら、電極パッド11上でそれぞれの導電ワイヤの間隔が離れている場合などは、電極パッド11上のパッシベーション膜に、それぞれの導電ワイヤに対応する2ヶ所の開口部を形成することも可能である。

【0029】図3は、本発明の第2の実施形態を示す図であり、図1および図2と同一構成要素には同一の符号が付けられている。

【0030】第2の実施形態では、第1の実施形態とは導電ワイヤの接続形態が異なり、その他の構成は第1の実施形態と同じである。

【0031】図3において、下段の半導体素子3の電極パッド11上には金属バンプ21が形成されている。金属バンプ21は、第1の実施形態における金属バンプ15、16と同様の方法で形成される。

【0032】下段の半導体素子3の電極パッド11と絶縁基板1の導電パターン6とを接続する導電ワイヤ22は、ファーストボンドが電極パッド11で、セカンドボンドが導電パターン6でそれぞれ行われている。

【0033】上段の半導体素子5の電極パッド13と下段の半導体素子3の電極パッド11とを接続する導電ワイヤ23は、ファーストボンドが上段の半導体素子5の電極パッド13で、セカンドボンドが下段の半導体素子3の電極パッド11上に形成された金属バンプ21上でそれぞれ行われる。

【0034】本実施形態においては、上段の半導体素子5の電極パッド13にファーストボンドを行っており、上段の半導体素子5の電極パッド13上に金属バンプを形成する必要がないため、金属バンプを形成する工数を削減できる。

【0035】図4および図5は、本発明の第3の実施形態を説明する図であり、図4は断面図、図5は部分的に拡大した斜視図である。

【0036】本実施形態において、図1および図2と同一の構成要件には同一の符号が付けられている。

【0037】本実施形態では、下段の半導体素子3の電極パッド31上に金属バンプ32が形成されており、下段の半導体素子3の電極パッド31と絶縁基板1の導電パターン6とを接続する導電ワイヤ33は、ファーストボンドが導電パターン6で、セカンドボンドが金属バンプ32でそれぞれ行われている。

【0038】上段の半導体素子5の電極パッド34には

金属バンプ35が形成されており、上段の半導体素子5の電極パッド34と下段の半導体素子3の電極パッド31とは、ファーストボン드가導電ワイヤ33上で行われ、セカンドボン드가金属バンプ35上で行われた導電ワイヤ36により接続される。

【0039】第3の実施形態によれば、第1の半導体素子3の電極パッド31上において、同一個所に導電ワイヤ33のセカンドボンડと導電ワイヤ36のファーストボンਡとが重ねて行われるため、電極パッド31の面積を大きくせずに上段の半導体素子5、下段の半導体素子3、絶縁基板1を接続することができる。

【0040】また、下段の半導体素子3側でファーストボンヅを、上段の半導体素子5側でセカンドボンヅを行って導電ワイヤ36が形成されるため、半導体素子5上における導電ワイヤ36のループが低くなる。このため、上段の半導体素子5上の封止樹脂19を薄くすることができ、パッケージ全体としての薄型化を達成することができる。

【0041】次に、図6を用いて本発明の第4の実施形態を説明する。

【0042】図6において、図1および図2と同一の構成要件には同一の符号が付けられている。

【0043】第4の実施形態では、下段の半導体素子3の電極パッド41上に金属バンプ42が形成されている。

【0044】絶縁基板1と下段の半導体素子3とを接続する導電ワイヤ43は、ファーストボンヅが導電パターン6で、セカンドボンヅが金属バンプ42で行われている。

【0045】下段の半導体素子3と上段の半導体素子5とを接続する導電ワイヤ46は、ファーストボンヅが半導体素子5の電極パッド44で、セカンドボンヅが導電ワイヤ43の接続された金属バンプ42上で行われている。

【0046】本実施形態では、下段の半導体素子の電極パヅに形成された金属バンプ上で導電ワイヤ43および導電ワイヤ46の両方のセカンドボンヅが行われている。

【0047】このため、本実施形態では、上段の半導体素子の電極パヅに金属バンプを形成することなく上段の半導体素子と下段の半導体素子、そして、下段の半導体素子と絶縁基板とを接続することが可能となる。このため、金属バンプを形成する工数を削減することができる。

【0048】本発明においては、絶縁基板上に半導体素子を積層する実施例について説明したが、これに限らず、一般に用いられるリードフレームを用いることも可

能である。リードフレームを用いる場合は、本発明における導電パターン6としてインナーリードが用いられ、下段の半導体素子はダイパヅに固定される。

【0049】

【発明の効果】本発明に係る半導体装置では、下段の半導体素子の電極パヅを大きくし、絶縁基板と下段の半導体素子とを接続する導電ワイヤと、下段の半導体素子と上段の半導体素子とを接続する導電ワイヤとを、同一のパヅの異なる領域に形成している。このため、下段の半導体素子の電極パヅにおける導電ワイヤの接続を確実に行うことができるとともに、ワイヤボンヅングにより電極パヅ下部に与えられるストレスを低減することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態における半導体装置の断面図である。

【図2】本発明の第1の実施形態における半導体装置の部分拡大斜視図である。

【図3】本発明の第2の実施形態における半導体装置の部分拡大斜視図である。

【図4】本発明の第3の実施形態における半導体装置の断面図である。

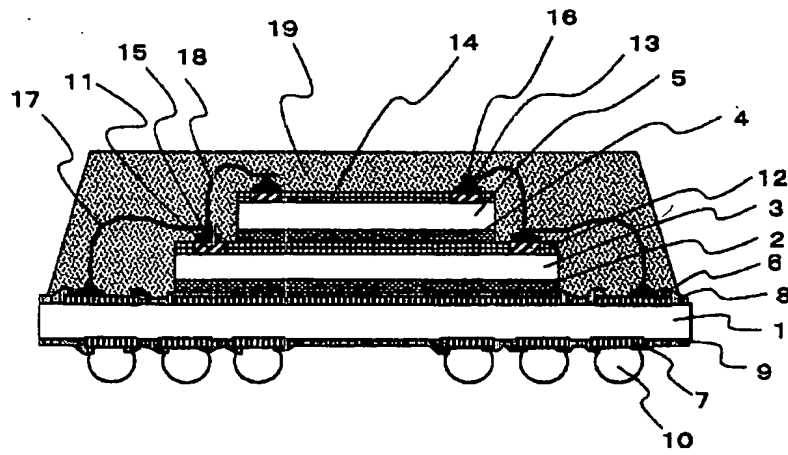
【図5】本発明の第3の実施形態における半導体装置の部分拡大斜視図である。

【図6】本発明の第4の実施形態における半導体装置の部分拡大斜視図である。

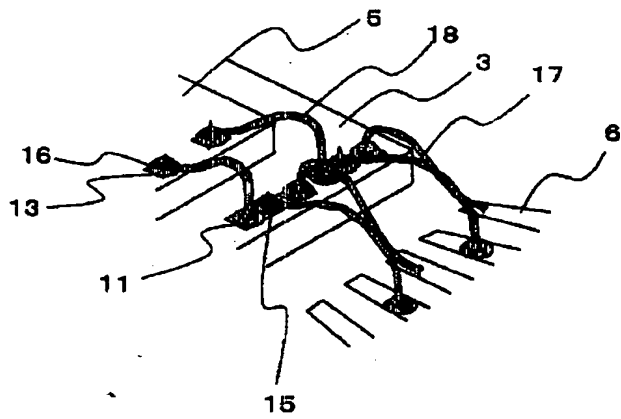
【符号の説明】

- 1 絶縁基板
- 2 接着剤
- 3 半導体素子
- 4 接着剤
- 5 半導体素子
- 6 導電パターン
- 7 導電パターン
- 8 ソルダレジスト
- 9 ソルダレジスト
- 10 金属バンプ
- 11 電極パヅ
- 12 パッシベーション膜
- 13 電極パヅ
- 14 パッシベーション膜
- 15 金属バンプ
- 16 金属バンプ
- 17 導電ワイヤ
- 18 導電ワイヤ
- 19 封止樹脂

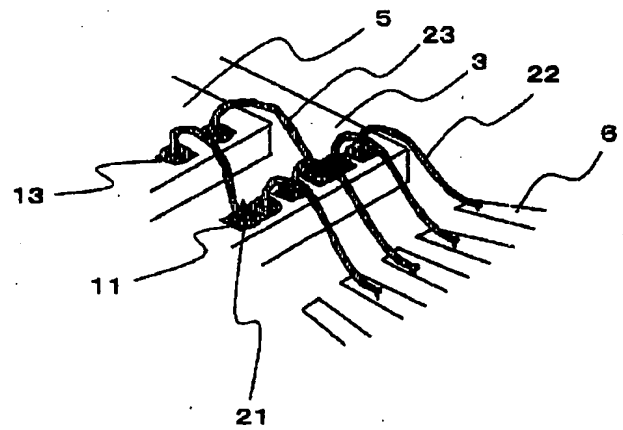
【図1】



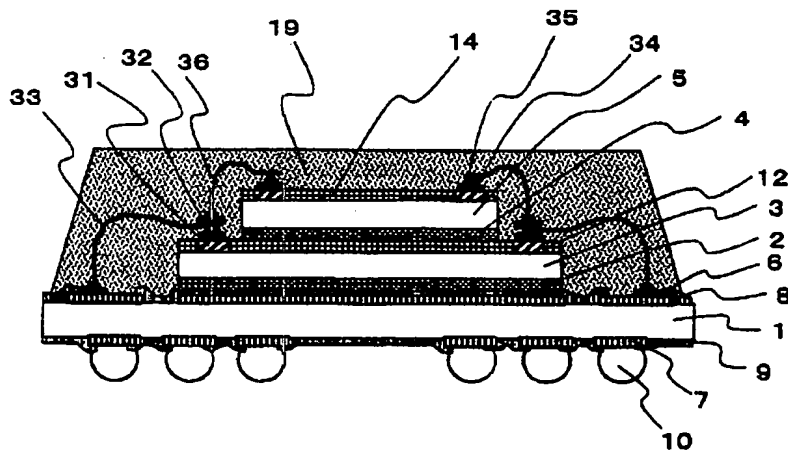
【図2】



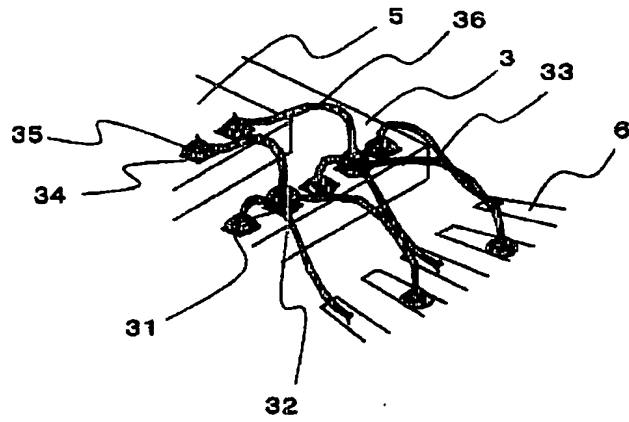
【図3】



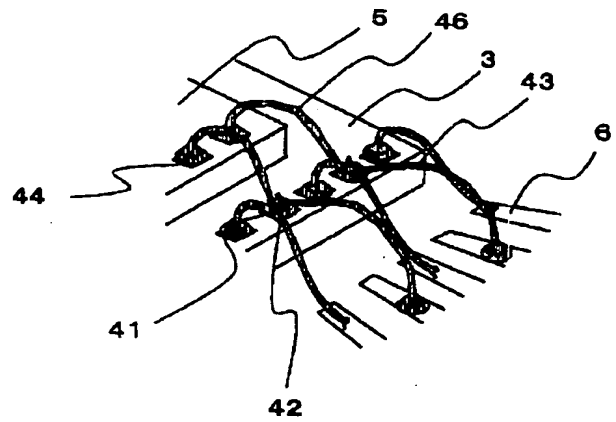
【図4】



【図5】



【図6】



---

フロントページの続き

(51) Int. Cl. 7  
H 0 1 L 21/60

識別記号  
3 0 1

F I

テ-マ-ト (参考)